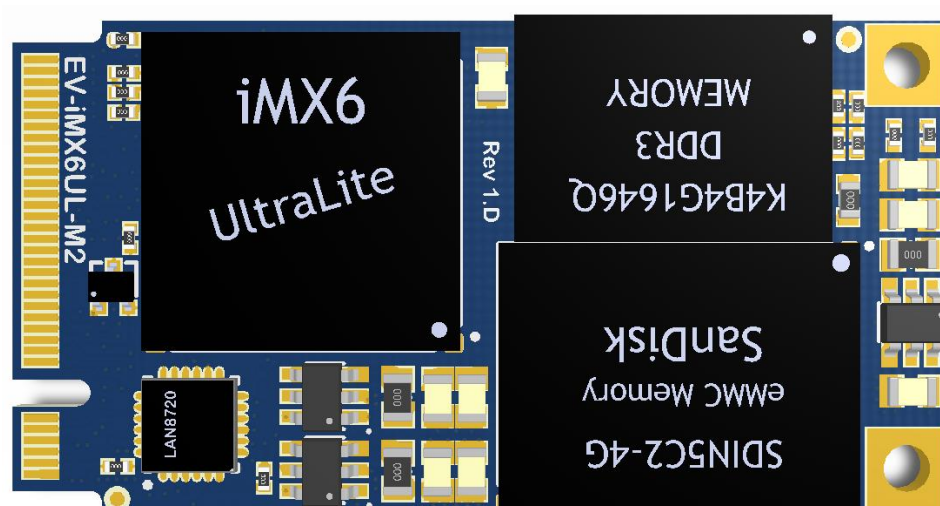


Evodbg

Процессорный модуль EV-iMX6UL-M2

Руководство пользователя



Версия документа 1.0
12-28-2018

СОДЕРЖАНИЕ

Содержание	1
Внимание!	2
Отказ от ответственности	2
Сокращения и определения	3
Основные особенности	4
Область применения	4
Комплект поставки.....	4
Информация для заказа	5
Описание.....	5
Структурная схема процессора семейства	6
i.MX6 Ultra Lite	6
Структурная схема модуля EV-iMX6UL-M2.....	7
Расположение основных компонентов на модуле	8
Основной разъем модуля	9
Сигналы используемые внутри модуля.....	13
Выбор источника загрузки процессора	15
Память	16
Память eMMC	16
Память DDR3	16
Габаритные размеры	17
Разъем для установки модуля	18
Программное обеспечение.....	19
Программирование модуля с помощью Mfgtool	19
Литература	20
Web	20
Контакты.....	20
История изменения документа	20

ВНИМАНИЕ!

Данный модуль не совместим по выводам с стандартом M2! Пожалуйста, не пробуйте устанавливать его в ноутбуки или компьютеры. Это может вызвать повреждение модуля или ноутбука/компьютера!

ОТКАЗ ОТ ОТВЕТСТВЕННОСТИ

Информация предоставлена компанией Evodbg и, несмотря на наши усилия по обеспечению правильности и актуальности информации, мы не предоставляем каких-либо явных или подразумеваемых заверений или гарантий относительно полноты, точности, надежности и пригодности информации, продукции, услуг в тех или иных целях. Соответственно, вы используете указанную информацию исключительно на свой страх и риск. Мы ни в коем случае не несем ответственность за убыток или ущерб, включая, в том числе, косвенный или сопутствующий убыток и ущерб, и в целом любой убыток и ущерб, возникший в результате потери данных или упущенной выгоды, или возникший в результате или в связи с использованием данного модуля.

СОКРАЩЕНИЯ И ОПРЕДЕЛЕНИЯ

Таблица 1.

Абревиатура	Определение
ADC	Analog to Digital Converter
ARM	Advanced Risc Machine
BSP	Board Support Package
CAN	Controller Area Network
CPU	Central Processing Unit
DDR	Double Data Rate
GPIO	General Purpose Input Output
I2C	Inter Integrated Circuit
JTAG	Joint Test Action Group
LCD	Liquid Crystal Display
Mb	Megabit
MB	Megabyte
MMC	Multimedia Card
NAND	Type of memory
NC	Not Connected
OTG	On-The-Go
PHY	Physical
PWM	Pulse Width Modulation
RMII	Reduced Media Independent Interface
RTC	Real Time Clock
SD	Secure Digital
SLC	Single Layer Cell
SPI	Serial Peripheral Interface
SSI	Synchronous Serial Interface
UART	Universal Asynchronous Receiver Transmitter
USB	Universal Serial Bus
WP	Write Protect
WVGA	Wide Video Graphics Array

ОСНОВНЫЕ ОСОБЕННОСТИ

- Процессор MCIMX6G2 (Семейство i.MX6 UltraLite) или MCIMX6Y2 (Семейство i.MX6 UltraLite Lite);
- 256/512 MB DDR3 RAM;
- 4/8 GB eMMC;
- Микросхема 10/100 Mbit PHY Ethernet ;
- 1 * USB 2.0 Host, 1 * OTG USB 2.0;
- 1 * SD/MMC;
- Аудио SAI/I2S интерфейс;
- SPDIF интерфейс;
- Последовательные интерфейсы (I2C, SPI, CAN, UART);
- CSI интерфейс для подключения камеры;

ОБЛАСТЬ ПРИМЕНЕНИЯ

- Промышленная автоматизация;
- Строительная автоматизация;
- Домашняя автоматизация;
- Тестовое и измерительное оборудование;
- Удаленный мониторинг и контроль;
- Вендинговые аппараты

КОМПЛЕКТ ПОСТАВКИ

Таблица 2.

Наименование	Количество
Модуль EV-iMX6UL-M2	1

ИНФОРМАЦИЯ ДЛЯ ЗАКАЗА

Таблица 3.

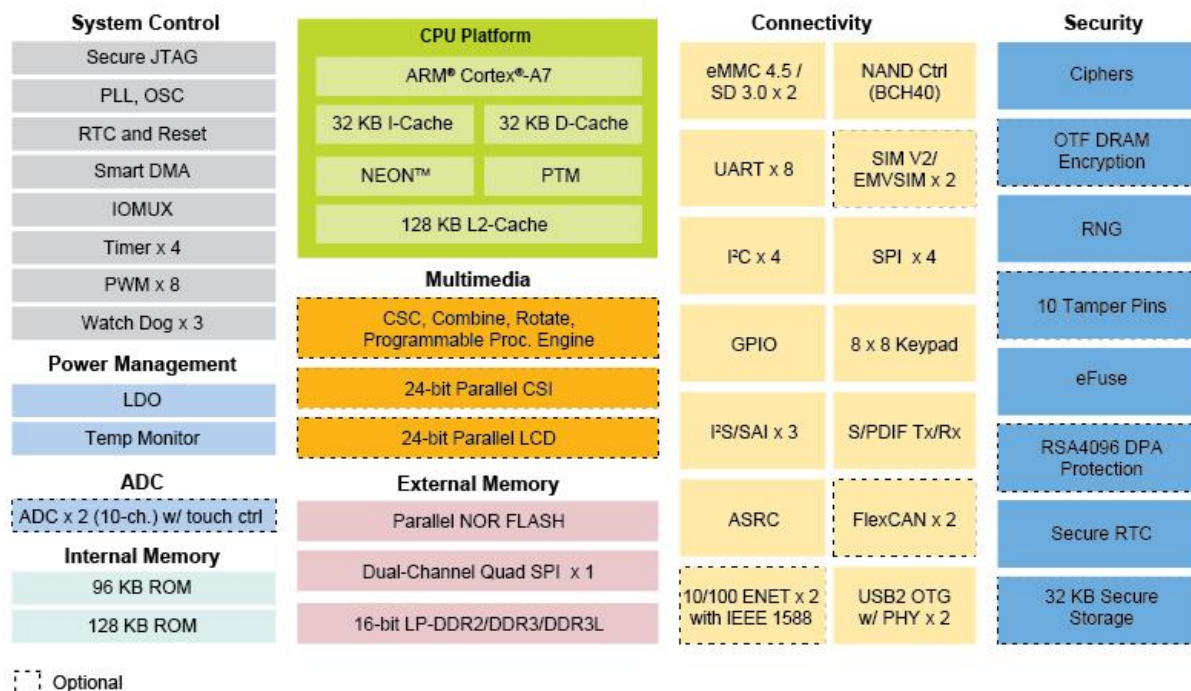
Наименование	Описание
EV-iMX6UL-M2-512M-4G-900C	MCIMX6Y2DVM09AA, 512 MB DDR3, 4 GB eMMC, 0...+85C, Частота процессора 900 MHz
EV-iMX6UL-M2-512M-4G-800i	MCIMX6Y2CVM08AB, 512 MB DDR3, 4 GB eMMC, -40...+85C, Частота процессора 800 MHz
EV-iMX6UL-M2-256M-4G-900C	MCIMX6Y2CVM09AA, 256 MB DDR3, 4 GB eMMC, 0...+85C, Частота процессора 900 MHz
EV-iMX6UL-M2-XX	Комплектация по требованию заказчика

Примечание – для заказа других комплектаций, обращайтесь info@evodbg.com

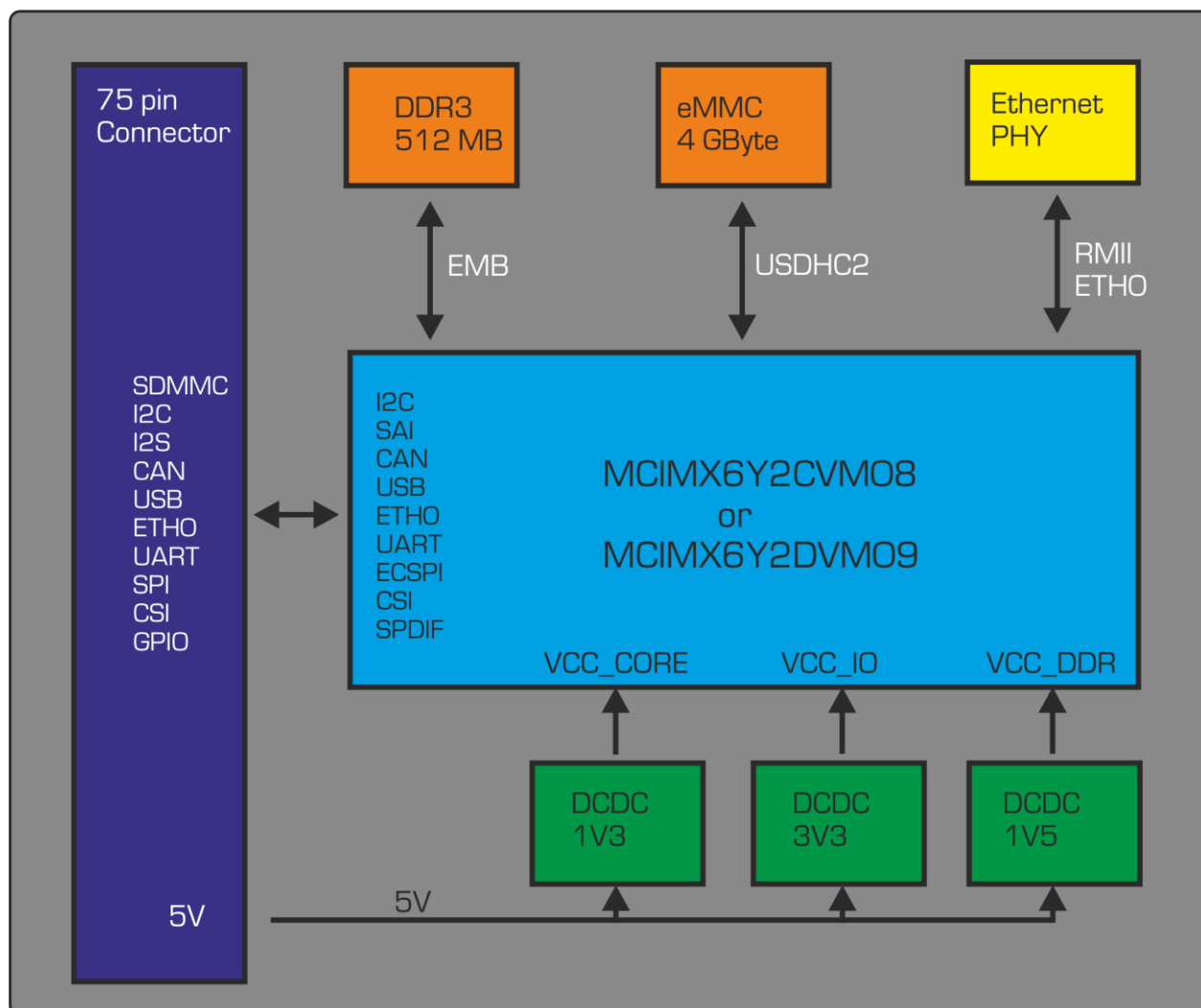
ОПИСАНИЕ

EV-iMX6UL-M2 является высокоинтегрированным, гибко настраиваемым процессорным модулем. Содержит процессор MCIMX6G2xx с ядром ARM Cortex-A7 компании NXP USA Inc. (Freescale). Максимальная частота процессора 900 МГц. Модуль содержит память eMMC, объемом 4 Гбайт. ОЗУ DDR3 объемом 512 Мбайт. Питание модуля 5В. На модуле установлена микросхема физического уровня Ethernet 10/100 Mbit, подключенная к процессору посредством RMII интерфейса.

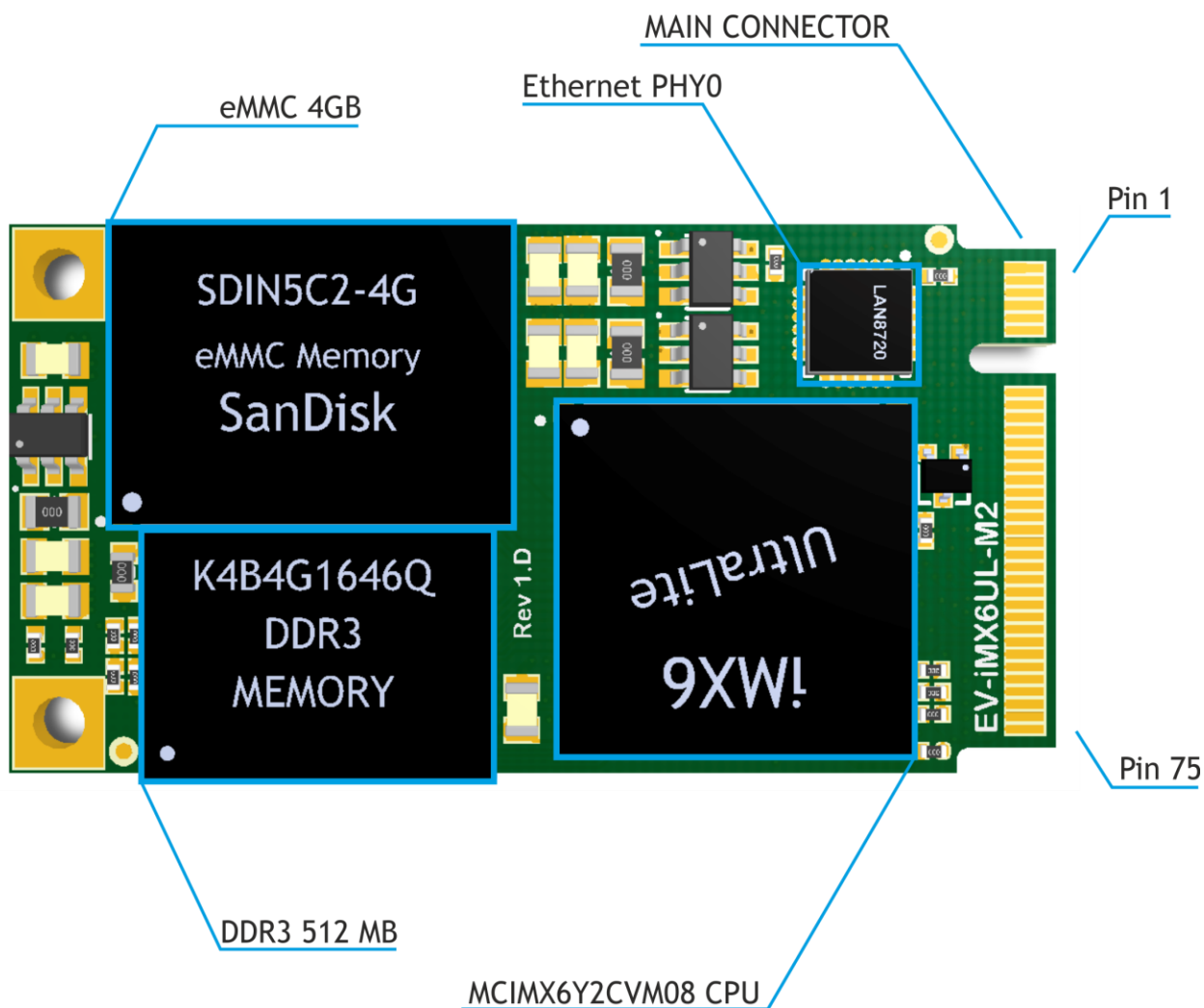
СТРУКТУРНАЯ СХЕМА ПРОЦЕССОРА СЕМЕЙСТВА I.MX6 ULTRA LITE



СТРУКТУРНАЯ СХЕМА МОДУЛЯ EV-IMX6UL-M2



РАСПОЛОЖЕНИЕ ОСНОВНЫХ КОМПОНЕНТОВ НА МОДУЛЕ



25		CSI_VSYNC	USDHC2_CLK	SIM1_PORT1_CLK	I2C2_SDA	EIM_RW	PWM7_OUT	UART6_RTS_B	GPIO4_IO19	F2
26		UART4_TX	ENET2_TDATA02	I2C1_SCL	CSI_DATA12	CSU_CSU_ALARM_AUT02		ECSPI2_SCLK	GPIO1_IO28	G17
27		CSI_HSYNC	USDHC2_CMD	SIM1_PORT1_PD	I2C2_SCL	EIM_LBA_B	PWM8_OUT	UART6_CTS_B	GPIO4_IO20	F3
28		UART4_RX	ENET2_TDATA03	I2C1_SDA	CSI_DATA13	CSU_CSU_ALARM_AUT01		ECSPI2_SS0	GPIO1_IO29	G16
29		CSI_DATA02	USDHC2_DATA0	SIM1_PORT1_RST_B	ECSPI2_SCLK	EIM_AD00	SRC_INT_BOOT	UART5_TX	GPIO4_IO21	E4
30		UART5_TX	ENET2_CRS	I2C2_SCL	CSI_DATA14	CSU_CSU_ALARM_AUT00		ECSPI2_MOSI	GPIO1_IO30	F17
31		CSI_DATA03	USDHC2_DATA1	SIM1_PORT1_SVEN	ECSPI2_SS0	EIM_AD01	SAI1_MCLK	UART5_RX	GPIO4_IO22	E3
32		UART5_RX	ENET2_COL	I2C2_SDA	CSI_DATA15	CSU_CSU_INT_DEB		ECSPI2_MISO	GPIO1_IO31	G13
33		CSI_DATA04	USDHC2_DATA2	SIM1_PORT1_TRXD	ECSPI2_MOSI	EIM_AD02	SAI1_RX_SYNC	UART5_RTS_B	GPIO4_IO23	E2
34		LCDIF_DATA20	UART8_TX	ECSPI1_SCLK	CSI_DATA12	EIM_DATA12	SRC_BT_CFG28	USDHC2_DATA0	GPIO3_IO25	C14
35		CSI_DATA05	USDHC2_DATA3	SIM2_PORT1_PD	ECSPI2_MISO	EIM_AD03	SAI1_RX_BCLK	UART5_CTS_B	GPIO4_IO24	E1
36		LCDIF_DATA23	MQS_LEFT	ECSPI1_MISO	CSI_DATA15	EIM_DATA15	SRC_BT_CFG31	USDHC2_DATA3	GPIO3_IO28	B16
37		CSI_DATA06	USDHC2_DATA4	SIM2_PORT1_CLK	ECSPI1_SCLK	EIM_AD04	SAI1_TX_SYNC	USDHC1_WP	GPIO4_IO25	D4
38		LCDIF_DATA22	MQS_RIGHT	ECSPI1_MOSI	CSI_DATA14	EIM_DATA14	SRC_BT_CFG30	USDHC2_DATA2	GPIO3_IO27	A14
39		CSI_DATA07	USDHC2_DATA5	SIM2_PORT1_RST_B	ECSPI1_SS0	EIM_AD05	SAI1_TX_BCLK	USDHC1_CD_B	GPIO4_IO26	D3
40		LCDIF_DATA21	UART8_RX	ECSPI1_SS0	CSI_DATA13	EIM_DATA13	SRC_BT_CFG29	USDHC2_DATA1	GPIO3_IO26	B14
41		CSI_DATA08	USDHC2_DATA6	SIM2_PORT1_SVEN	ECSPI1_MOSI	EIM_AD06	SAI1_RX_DATA	USDHC1_RESET_B	GPIO4_IO27	D2
42		LCDIF_DATA05	UART8_RTS_B		ENET2_1588_EVENT2_OUT	SPDIF_OUT	SRC_BT_CFG05	ECSPI1_SS1	GPIO3_IO10	B10

43		CSI_DATA09	USDHC2_DATA7	SIM2_PORT1_TRXD	ECSP11_MISO	EIM_AD07	SAI1_TX_DATA	USDHC1_VSELECT	GPIO4_IO28	D1
44	BOOT_MODE0									T10
45		UART1_TX	ENET1_RDATA02	I2C3_SCL	CSI_DATA02	GPT1_COMPARE1		SPDIF_OUT	GPIO1_IO16	K14
46 П1		LCDIF_RESET	LCDIF_CS	CA7_MX6UL_EVENTI	SAI3_TX_DATA	WDOG1_WDOG_ANY		ECSP12_SS3	GPIO3_IO04	E9
46 П1	ONOFF									R8
47		UART1_RX	ENET1_RDATA03	I2C3_SDA	CSI_DATA03	GPT1_CLK		SPDIF_IN	GPIO1_IO17	K16
48		ENET1_REF_CLK1	PWM3_OUT	USB_OTG1_PWR		USDHC1_RESET_B	ENET2_1588_EVENT0_IN	UART5_TX	GPIO1_IO04	M16
49		SJC_MOD	GPT2_CLK	SPDIF_OUT	ENET1_REF_CLK_25M	CCM_PMIC_READY	SDMA_EXT_EVENT00		GPIO1_IO10	P15
50		SJC_TCK	GPT2_COMPARE2	SAI2_RX_DATA		PWM7_OUT		SIM2_POWER_FAIL	GPIO1_IO14	M14
51		USDHC1_CLK	GPT2_COMPARE2	SAI2_MCLK	SPDIF_IN	EIM_ADDR20		USB_OTG1_OC	GPIO2_IO17	C1
52		SJC_TMS	GPT2_CAPTURE1	SAI2_MCLK	CCM_CLKO1	CCM_WAIT	SDMA_EXT_EVENT01	EPIT1_OUT	GPIO1_IO11	P14
53		USDHC1_CMD	GPT2_COMPARE1	SAI2_RX_SYNC	SPDIF_OUT	EIM_ADDR19	SDMA_EXT_EVENT00	USB_OTG1_PWR	GPIO2_IO16	C2
54		SJC_TDI	GPT2_COMPARE1	SAI2_TX_BCLK		PWM6_OUT	MQS_LEFT	SIM1_POWER_FAIL	GPIO1_IO13	N16
55		USDHC1_DATA0	GPT2_COMPARE3	SAI2_TX_SYNC	FLEXCAN1_TX	EIM_ADDR21		ANATOP_OTG1_ID	GPIO2_IO18	B3
56		SJC_TDO	GPT2_CAPTURE2	SAI2_TX_SYNC	CCM_CLKO2	CCM_STOP	MQS_RIGHT	EPIT2_OUT	GPIO1_IO12	N15
57		USDHC1_DATA1	GPT2_CLK	SAI2_TX_BCLK	FLEXCAN1_RX	EIM_ADDR22		USB_OTG2_PWR	GPIO2_IO19	B2
58		SJC_TRSTB	GPT2_COMPARE3	SAI2_TX_DATA		PWM8_OUT		CAAM_RNG_OSC_OBS	GPIO1_IO15	N14
59		USDHC1_DATA2	GPT2_CAPTURE1	SAI2_RX_DATA	FLEXCAN2_TX	EIM_ADDR23	CCM_CLKO1	USB_OTG2_OC	GPIO2_IO20	B1
60		UART3_TX	ENET2_RDATA02	SIM1_PORT0_PD	CSI_DATA01	UART2_CTS_B		ANATOP_OTG1_ID	GPIO1_IO24	H17

61		USDHC1_DATA3	GPT2_CAPTUR E2	SAI2_TX_DATA	FLEXCAN2_R X	EIM_ADDR24	CCM_CLKO2	ANATOP_OTG2 _ID	GPIO2_IO2 1	A2
62		UART3_RX	ENET2_RDATA 03	SIM2_PORT0_PD	CSI_DATA00	UART2_RTS_B		EPIT1_OUT	GPIO1_IO2 5	H16
63		UART1_RTS_B	ENET1_TX_ER	USDHC1_CD_B	CSI_DATA05	ENET2_1588_E VENT1_OUT		USDHC2_CD_B	GPIO1_IO1 9	J14
64		UART3_RTS_B	ENET2_TX_ER	FLEXCAN1_RX	CSI_DATA11	ENET1_1588_E VENT1_OUT		WDOG1_WDO G_B	GPIO1_IO2 7	G14
65	USB_OTG1_DN									T15
66		UART3_CTS_B	ENET2_RX_CLK	FLEXCAN1_TX	CSI_DATA10	ENET1_1588_E VENT1_IN		EPIT2_OUT	GPIO1_IO2 6	H15
67	USB_OTG1_DP									U15
68		UART2_TX	ENET1_TDATA 02	I2C4_SCL	CSI_DATA06	GPT1_CAPTUR E1		ECSPI3_SS0	GPIO1_IO2 0	J17
69		I2C2_SCL	GPT1_CAPTUR E1	ANATOP_OTG1_ID	ENET1_REF_ CLK1	MQS_RIGHT	ENET1_1588 _EVENT0_IN	WDOG3_WDO G_B	GPIO1_IO0 0	K13
70		UART2_RX	ENET1_TDATA 03	I2C4_SDA	CSI_DATA07	GPT1_CAPTUR E2		ECSPI3_SCLK	GPIO1_IO2 1	J16
71	USB_OTG2_DN									T13
72		UART2_RTS_B	ENET1_COL	FLEXCAN2_RX	CSI_DATA09	GPT1_COMPAR E3		ECSPI3_MISO	GPIO1_IO2 3	H14
73	USB_OTG2_DP									U13
74		UART2_CTS_B	ENET1_CRS	FLEXCAN2_TX	CSI_DATA08	GPT1_COMPAR E2		ECSPI3_MOSI	GPIO1_IO2 2	J15
75	CPU_RST									P8

ПРИМЕЧАНИЯ:

П1 – В зависимости от варианта сборки модуля (С управлением питанием и без управления)

СИГНАЛЫ ИСПОЛЬЗУЕМЫЕ ВНУТРИ МОДУЛЯ

Таблица 6.

Вывод модуля	Наименование	Примечание	GPIO	CPU Pin
Нет	NAND_ALE	Память eMMC	GPIO4_IO10	B4
Нет	NAND_RE	Память eMMC	GPIO4_IO00	D8
Нет	NAND_WE	Память eMMC	GPIO4_IO01	C8
Нет	NAND_DATA0	Память eMMC	GPIO4_IO02	D7
Нет	NAND_DATA1	Память eMMC	GPIO4_IO03	B7
Нет	NAND_DATA2	Память eMMC	GPIO4_IO04	A7
Нет	NAND_DATA3	Память eMMC	GPIO4_IO05	D6
Нет	NAND_DATA4	Память eMMC	GPIO4_IO06	C6
Нет	NAND_DATA5	Память eMMC	GPIO4_IO07	B6
Нет	NAND_DATA6	Память eMMC	GPIO4_IO08	A6
Нет	NAND_DATA7	Память eMMC	GPIO4_IO09	A5
Нет	ENET2_TX_DATA0	LAN8720	GPIO2_IO11	A15
Нет	ENET2_TX_DATA1	LAN8720	GPIO2_IO12	A16
Нет	ENET2_TX_EN	LAN8720	GPIO2_IO13	B15
Нет	ENET2_TX_CLK	LAN8720	GPIO2_IO14	D17
Нет	ENET2_RX_DATA0	LAN8720	GPIO2_IO08	C17
Нет	ENET2_RX_DATA1	LAN8720	GPIO2_IO09	C16
Нет	ENET2_RX_ER	LAN8720	GPIO2_IO15	D16
Нет	ENET2_RX_EN	LAN8720	GPIO2_IO10	B17
Нет	ENET_MDC	LAN8720	GPIO2_IO05	F15
Нет	ENET_MDIO	LAN8720	GPIO1_IO06	K17
Нет	TAMPER7	LAN8720 INT (прерывание)	GPIO5_IO07	N10
Нет	LCD_DATA18	LAN8720 RST (сброс)	GPIO3_IO23	A13
Нет	PMIC_ON_REQ	Управление питанием		T9

ВЫБОР ИСТОЧНИКА ЗАГРУЗКИ ПРОЦЕССОРА

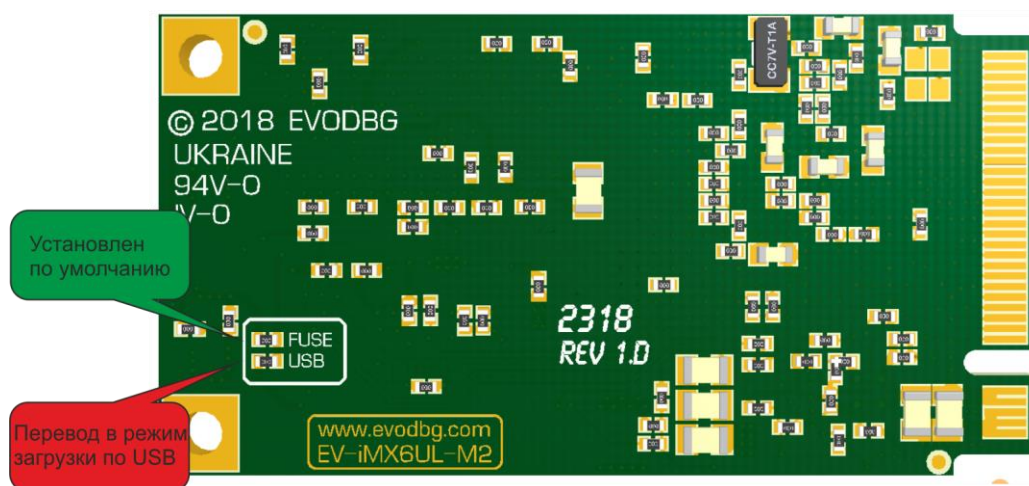
Режим загрузки определяется исходя из состояния выводов Boot0 и Boot1.

Таблица 7.

BOOT1	BOOT0	Источник загрузки
0	0	Boot from Fuses
0	1	MFG Tool (USB0)
1	0	Определяется конфигурационными резисторами на LCD шине
1	1	Зарезервировано

Сигнал BOOT0 выведен на основной разъем модуля и может быть использован для установки модуля в режим загрузки по USB (MFG Tool). По умолчанию модуль EV-iMX6UL-M2 поставляется с прошитыми fuses для загрузки с микросхемы eMMC (USDHC2).

На обратной стороне модуля находятся два резистора, которые определяют текущий режим загрузки модуля (USB/eMMC).



ПАМЯТЬ

ПАМЯТЬ EMMC

На модуле установлена память eMMC объемом 4 Гбайт(Возможна установка памяти любого объема).

Данная память подключена к интерфейсу USDHC2. Ширина шины 8 бит, напряжение питания 3.3В.

Максимальная частота шины 52 МГц (SDR режим).

- Первичный загрузчик Bootstrap Loader
- Загрузчик U-boot
- Ядро операционной системы Linux Kernel
- Файловая система. Большой объем памяти позволяет использовать в качестве файловой системы Debian или Ubuntu.

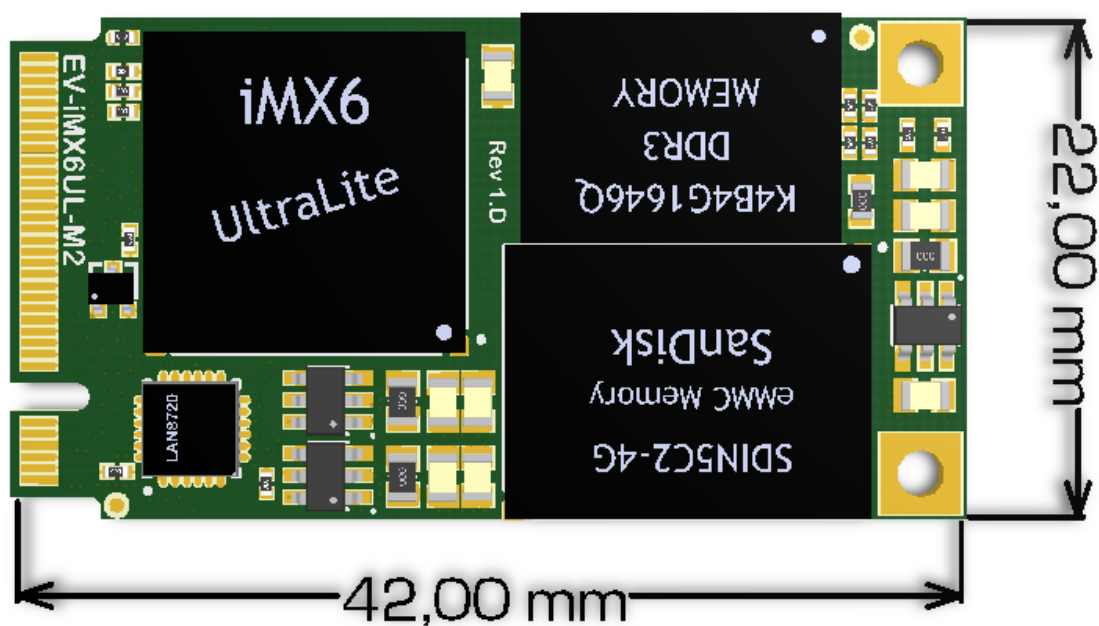
ПАМЯТЬ DDR3

Модуль EV-IMX6UL-M2 содержит 512 Мбайт DDR3 RAM. Память подключена к процессору шиной EMB.

Ширина шины данных 16 бит, максимальная частота шины 400 МГц.

ГАБАРИТНЫЕ РАЗМЕРЫ

Все размеры приведены в мм. Максимальная высота модуля 5.0 мм.



РАЗЪЕМ ДЛЯ УСТАНОВКИ МОДУЛЯ

Для установки модуля могут быть использованы любые стандартные разъемы M2 NGFF, например:

TE Connectivity - [2199119-3](#)



ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ

Для сборки загрузчика, ядра и файловой системы предоставляется архив или виртуальная машина с buildroot. Ссылка на загрузку приведена в конце руководства.

ПРОГРАММИРОВАНИЕ МОДУЛЯ С ПОМОЩЬЮ MFGTOOL

Программирование модуля осуществляется на материнской плате EV-iMX6UL-M2-MB или в плате разработанной заказчиком.

1. Распаковать архив с MFGTool
2. Подключаем USB кабель к компьютеру и к порту USB1 материнской платы
3. Нажать и удерживать кнопку BOOT0 (или подтянуть сигнал BOOT0 модуля к высокому уровню)
4. Подаем питание
5. Запускаем скрипт evimx6ul-m2.vbs
6. Нажимаем Start.

В зависимости от размера записываемой файловой системы процесс программирования может занимать от 2 до 10 минут. Если отладочный порт UART1 подключен к компьютеру, то в терминальной программе (115200/N8) можно наблюдать лог программирования памяти. После окончания процесса программирования необходимо отключить питание. По умолчанию, модуль производит загрузку с микросхемы eMMC (интерфейс USDHC2).

ЛИТЕРАТУРА

Таблица 19.

Link	Description
MCIMX6Y2CVM08	NXP documentation
K4B4G1646	DDR3 Samsung Datasheet
Виртуальная машина для сборки и MFG Tool	Buildroot / MFGTool
LAN8720A Ethernet PHY	Ethernet PHY
SDIN5C2-4G	eMMC Datasheet
EV-iMX6UL-M2-Simple motherboard	Altium Designer PCB Project
EV-iMX6UL-M2-MB2 motherboard	Altium Designer PCB Project

WEB

Web site: <http://www.evodbg.net/>

Web site: <http://www.otladka.com.ua>

Email: info@evodbg.net

КОНТАКТЫ

03151, Украина, г. Киев, ул. Желябова 8/4

тел. 380-44-362-25-02

тел. 380-98-661-97-97

Email: info@evodbg.net

Если вам необходимо изменить дизайн данного модуля под собственные требования, пожалуйста обращайтесь pcb@evodbg.net



ИСТОРИЯ ИЗМЕНЕНИЯ ДОКУМЕНТА

28/12/2018 – Начальная версия документа 1.0